Page 1 of 2 Searching PAJ

# PATENT ABSTRACTS OF JAPAN

(11)Publication number: 2002-110955 (43)Date of publication of application: 12.04.2002

(51)Int.Cl. H01L 27/146 H01L 31/10 H04N 5/335

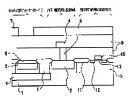
(71)Applicant : NEC CORP (21)Application number: 2000-297380 28.09.2000 (72)Inventor: OKUBO HIROAKI (22)Date of filing:

# (54) CMOS IMAGE SENSOR AND METHOD FOR MANUFACTURING CMOS IMAGE SENSOR

# (57) Abstract:

PROBLEM TO BE SOLVED: To provide a CMOS image sensor where the influence of noise electric charges on an OB cell which determines the level at a dark time is reduced and deterioration of quality of image can be prevented. SOLUTION: A region for absorbing noise charges in a substrate is formed around a cell array part. In the region for

absorbing noise charges, a P-N junction is formed simultaneously with the formation of a photodiode, and one end of the region is fixed to a power source voltage. The region is formed between the cell array part and a peripheral circuit part.



# LEGAL STATUS

[Date of request for examination]

Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

Number of appeal against examiner's decision of

Page 2 of 2 Searching PAJ

rejection] [Date of requesting appeal against examiner's decision of rejection] [Date of extinction of right]

# (19)日本国特許庁 (JP) (12) 公開特許公報 (A)

(11)特許出願公開番号 特開2002-110955 (P2002-110955A)

(43)公開日 平成14年4月12日(2002.4.12)

(51) Int.Cl.7		識別記号	FΙ		Ť	-7J-ト*(参考)
H01L	27/146		H04N	5/335	E	4M118
	31/10				U	5 C 0 2 4
H 0 4 N	5/335		H01L	27/14	Α	5 F O 4 9
				31/10	A	

# 審査請求 未請求 請求項の数6 OL (全 5 頁)

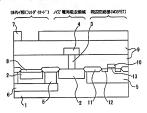
(21)出願番号	特顧2000-297380(P2000-297380)	(71)出願人 000004237 日本電気株式会社
(22)出顧日	平成12年9月28日(2000.9.28)	東京都港区芝五丁目7番1号
		(72)発明者 大窪 宏明 東京都維区芝五丁目7番1号 日本電気株
		式会社内
		(74)代理人 100108578
		弁理士 高橋 韶男 (外3名)
		Fターム(参考) 4M118 AA05 AA10 AB01 BA14 CA04
		EA01 EA15 FA06 FA50 GB09
		50024 CX03 CY47 CX03 CY31 GZ36
		5F049 MA02 NA04 NA05 NB03 QA11
		RAO2 UA20

(54) 【発明の名称】 CMOSイメージセンサ及びCMOSイメージセンサの製造方法

(57) 【要約】

【課題】暗時レベルを決定するOBセルへのノイズ電荷 の影響を低減し、画質劣化を防ぐことができるCMOS イメージセンサを提供する。

【解決手段】セルアレイ部の周りに基板内のノイズ電荷 を吸収する領域を形成する。ノイズ電荷吸収領域には、 フォトダイオードと同時にPN接合が形成され、その一 端が電源電圧に固定される。このノイズ電荷吸収領域は セルアレイ部と周辺回路部との間に形成される。



#### 【特許請求の範囲】

【請求項1】 アレイ状に単位セルが配置されたセルアレイ部とこのセルアレイを操作する周辺回路部とを有するCMOSイメージセンサにおいて、

前記セルまたは前記セルアレイ部の周囲 にノイズ電荷 吸収値域が設けられ、前記ノイズ電荷吸収値域には第一 等電型シリコン基板表面に形成された第二導電型拡散層 が含まれ、

該第二導電型拡散層が一定電位に固定されていることを 特徴とするCMOSイメージセンサ。

【請求項2】 前記ノイズ電荷吸収領域が、前記セルア レイ部と前記周辺回路部との間に形成されていることを 特徴とする請求項1記載のCMOSイメージセンサ。 1990年31 前空ノイズ敷建場の経域が、前記セルア

【請求項3】 前記ノイズ電荷吸収領域が、前記セルアレイ部の周囲を囲むように形成されていることを特徴とする請求項2記載のCMOSイメージセンサ。

【請求項4】 アレイ状に単位セルが配置されたセルア レイ部を有し、前配セルアレイ内に信号電荷を収集する 有効セル群と、前配有効セル群に隣接し暗時レベルを検 出するOBセル群とを含むCMOSイメージセンサにお いて、

前記有効セル群と前記OBセル群との間に前記ノイズ電 荷吸収領域が形成されていることを特徴とする請求項1 記載のCMOSイメージセンサ。

【請求項5】 前配セルアレイ部内の前記有効セル間 に、前記ノイズ電荷吸収領域が形成されていることを特 徴とする請求項1記載のCMOSイメージセンサ。

【請求項6】 アレイ状に単位セルが配置されたセルア レイ部とこのセルアレイを操作する周辺回路部とを有す るCMOSイメージセンサの製造方法において、

有効セル及びOBセルのフォトダイオードを構成するP N接合とノイズ電荷吸収領域内のPN接合とが同時に形 成されることを特徴とするCMOSイメージセンサの製 渋方法。

# 【発明の詳細な説明】

#### [0001]

|発明の庫する技術分析| 本発明は、アレイ状に単位を ルが配置されたセルアレイ部とこれらセルを駆動する周 辺回路部を4中するCMOS4メージセンサにおいて、セ ルアレイ部の周りに基板内のノイズ電荷を吸収する領域 を有するCMOSイメージセンサと、CMOSイメージ センサの製造が上に関する。

### [0002]

【後来の技術】図5に従来のCMO Sイメージセンサの 所面図を示す。図5では、P型シリコン基板上1に形成 されたセルアレイ解部のセル内フォトダイオード及び周 辺回路部NchMOSFETの断面機略図を示す。Nc hMOSFETはP型シリコン基板 に形成されたPウ エルち内に形成されている。セル内フォトダイオードで には、Pウェルらは形成されて、より深い位置にディー プPウェル6が形成されている。これにより、近赤外ま での入射光に対して高い感度が得られるようになってい る。

[0003] 基族表面には小型拡散図 2が形成され、さ 6に表面にはP型拡散層 8が形成され、埋め込みフォト ダイオード構造になっている。これにより表面付近で発 生するノイズを抑えて画質の向上が図られている。セル 内フォトゲイオードと周辺回路部NchMOSFFTの 間にはフィールド酸化膜11が形成され表子分離が行わ れている。

#### [0004]

[0005]本期刊は、このような事情を考慮してなさ れたもので、その目的は、暗神レベルを決定するOBセ ルペのリイズ値前の影響を低減し、順貫劣化を防ぐこと ができるCMOSイメージセンサを提供することにあ 。また、製造配を増加させること無く、暗神レベル を決定するOBセルペのリイズ電荷の影響を低減し、順 買劣化を防ぐことができるCMOSイメージセンサを製 造する方法を提供することにある。

#### [0006]

【課題を解決するための手配】以上の課題を解決するために、請求項 I 記載の発明は、アレイ状に単位セルが配置されたルアレイ都とこのセルアレイを操作する開辺 回路都とを有するCMOSイメージセンサにおいて、セルまたはセルアレイ部の周囲 にノイズ電荷変収額域が取けられ、ノイン電荷変収額域は大変である。 影けられ、ノイン電荷波収縮域には第一導電型シリコン 基板表面に形成された第二端電型拡散器が合きれ、第二端電型拡散器が合きまれ、第二端電池拡散器が一定電位に固定されていることを特徴とするCMOSイン・ジャン・ジャン・ある。

[0007] 請求項2記載の発明は、請求項1記載の発 明において、ノイズ電荷吸收領域が、セルアレイ部と前 記周辺四路部との間に形成されていることを特徴とす る。

【0008】請求項3記載の発明は、請求項2記載の発明は、請求項2記載の発明において、ノイズ電荷吸収領域が、セルアレイ部の周囲を囲むように形成されていることを特徴とする。

【0009】請求項4記載の発明は、請求項1記載の発明は、請求項1記載の発明において、アレイ状に単位セルが配置されたセルアレイ部を有し、セルアレイ内に信号電荷を収集する有効セ

ル群と、有効セル群に隣接し暗時レベルを検出するOB セル群とを含むCMOSイメージセンサにおいて、有効 セル群と前記OBセル群との間にノイズ電荷吸収領域が 形成されていることを特徴とする。

【0010】請求項5記載の発明は、請求項1記載の発明は、請求項1記載の発明において、セルアレイ部内の有効セル間にノイズ電荷 吸収領域が形成されていることを特徴とする。

[0011] 熱水項6配準の発明は、アレイ軟に単位セルが配置されたセルアルイ節とこのセナンを操作する別型回路節とを有するCMOSイメージセンサの製造方法において、不効セル及びOBセルのフォトダイオードを構成するPN接合とノイズ電荷製収銀域内のPN接合とノイズ電荷製収銀域内のPN接合とが同時に形成されることを特徴とするCMOSイメージセンサの製造方法である。

### [0012]

【発明の実施の形態】図1に、本条明の第1の実施の形態であるCMOSイメージセンサの所面図を示す。図1 は、P型シリコン基板1上に形成されたセルアレイ増節のセル内フォトダイオード、周辺回路部からトMOSF ET及びノイ電荷吸収管域の所面質地図を示す。ノイズ電荷吸収管域では、P型シリコン基板1表面にN型拡散層を1はセル内フォトダイオード部のN型拡散層と1はセル内フォトダイオード部のN型拡散層と同じもので同時に形成されている。ノイズ電荷吸収管域のN型拡散層とはコンタクトナラグ3、アル系影像4によって電源電圧に固定されている。ノイズ電荷吸収管域のN型拡散層2は下は、セルアレイ新、風砂器のようなPウェル5、ディーフPウェル6は形成されていないが、ノイズ電荷吸収質域のN型拡散層2は下ゲイープPウェル6は形成されていないが、ノイズ電荷吸収質域のN型拡散器20円である形成されているが形成されているが形成されているが形成されている。

[0013] 限2にはCMOSイメージセンサチップの レイアウト鉄経限を示す。 図2に示すように、チップ内 は単位セルをアレイ状に配列したセルアレイ部があ り、その周りにこのセルアレイを駆動するための周辺回 路を配配してある。本発明の実施の影響では、セルアレ イ部の周囲の周辺回路部との間にノイズ吸収領域が配置 される。

【0014】図3は、P型シリコン基板1上に形成されたセルアレイ内の有効セルのフォトダイオード、OB はオプティカルプラック)をルのフォトダイオード、及 UTノイズ電荷製化製造の断距整路図を示す。イイズ電荷製収算域は有効セルとOBセルの間に配置され、P型シリコン基板1ま面にN型拡散層2が形成されている。このN型拡散層2と同じもので同時に形成されている。カイズ電荷製収積域がの製工散層2はコンタクトプラグ3、アル系配線4によって電源理圧に固定されている。ノイズ電荷製収積域がN型拡散層2直下には、有効セル、OBセルのようなPウェルち、ディープアウェルル、DBセルのようなPウェルち、ディープアウェルをし、OBセルのようなPウェルち、ディープアウェルをした形式をは一般である。

散層2の外側にはPウェル5が形成されている。

【0015】これら有効セル、OBセルのフォトダイオ ードを構成するPN接合とノイズ電荷吸収領域のPN接 合とは同時に振度されているため、CMOSイメージセ ンサの製造プロセスにおいて、工程増加は全く無く、こ れまでの製造プロセスと同様の工数でCMOSイメージ センサを製造するとかである。

【0016】図4に、本発明の第2の実施の形態である CMOSイメージセンサの新面図を示す。図4では、P 型シリコン基板 1に形成されたレカアレイ内の有効セ ルのフォトダイオード間に配置されたノイズ電荷吸収額 域の肺面壁路型を示す。ノイズ電荷吸収額はは有効セル 関にあって有効セルを取り間は、5に配置され、P リコン基板1表面にN型拡散層 2が形成されている。こ のN型拡散器 2 上有効セルのフォトダイオード部のN型 拡散層 2 と同じらので同時に形成されている。ノイズ電 荷吸収額線のN型拡散層 2 はコンタクトブラグ3、アル 5 記録はよって電線電圧に固定されている。ノイズ電 荷吸収額線のN型拡散層 2 には、有効セルのような Pウェルち、ディープPウェル6 は形成されていない が、ノイズ電荷吸収解域のN型拡散層 2 の外側には Pウ ェルちが形成されている。

[0017] 本架例の実施の形態によると、ノイズ吸収 関域のPN接合は相対的に濃度の低い。基板内にあり電源 電圧で選バイアスされており、空至層が拡がりやすく基 板中の房道電荷を収集しやすいポテンシャルプロファイ ルに構成されてめるため、無辺の関係で発生し基級中を 浮遊するノイズ電荷が、ノイズ吸収領域のPN接合に収 集され、セルアレノ内の有効セルやOBセルのフォトダ イオードに取り返まれ根となる効果がある。

【0018】また、セルアレイ内の有効セル部で発生し 基板中をOBセル部へ移動する電荷が、ノイズ吸収領域 のPN接合に収集され、OBセルのフォトダイオードに 取り込まれ継くなる効果がある。

[0019] これにより、無韓レベルを決定するOBセルへのノイズ間荷の影響を低減し、画質劣化を防ぐことができるCMOSイメージセンサを実現することができる。また、有効セル、OBセルのフォトダイオードを構成するPN接合とノイズ電荷吸収頻減のPN接合とは同じ形成されるため、製造工程を増加させること無く、暗時レベルを決定するOBセルへのノイズ電荷の影響を低減し、画質劣化を防ぐことができるCMOSイメージセンサを製造する方法を実現することができる

#### [0020]

【発明の効果」以上説明したように、本差明によれば、 アレイ状に単位さルが配置されたセルアレイ部とこれら セルを駆動する周辺回路部を有するCMOSイメージセ ンサにおいて、セルアレイ部の周りに基板内のノイズ電 荷を吸収する領域を有することによって、有効せい形象 基板中で発生した電荷が浮遊して隣接さルルに取り込まれ る前にノイズ吸吸輸転のPN接合に収集されるため、かかたルのノイズ吸吸輸転のPN接合たに収集されるため、かかたルのノイダーンセンサを提供することができる。
[0021]また、本発明によれば、有効セル、OBセルのフォトダインドを構成するPN接合とノイダ電板吸収線級のPN接合とは同時に形成されるため、製造工程を増加させること無く、精神レベルを決定するOBセルへのノイズ電内の影響を膨胀し、両側劣化を防ぐことができるCMOSイメージセンサを製造する方法を提供することができるCMOSイメージセンサを製造する方法を提供することができるCMOSイメージセンサを製造する方法を提供することができるCMOSイメージをフサを製造する方法を提供することができるCMOSイメージをフサを製造する方法を提供することができるCMOSイメージをフサを製造する方法を提供することができるCMOSイメージを対していませないます。

# 【図面の簡単な説明】

【図1】 図1は、本発明の第1の実施の形態であるC MOSイメージセンサの断面図を示す図である。

【図2】 図2は、CMOSイメージセンサチップのレ

イアウト概略図を示す図である。

【図3】 図3は、本発明の第1の実施の形態であるC MOSイメージセンサの断面図を示す図である。

【図4】 図4は、本発明の第2の実施の形態であるC MOSイメージセンサの断面図を示す図である。

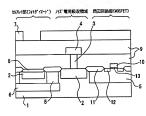
【図5】 図5は、従来のCMOSイメージセンサの 断面図を示す図である。

## 【符号の説明】

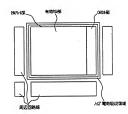
1…P型シリコン基板、2…N型拡散層、3…コンタクトプラグ、4…アルミ配線、5…Pウェル、6…ディープPウェル、7…アルミ遮光膜

8…P型拡散層、9…層間絶縁膜、10…ゲートポリシ リ、11…フィールド酸化膜、12…ソース・ドレイン 拡散層、13…ゲート酸化膜

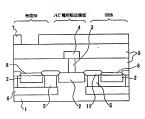




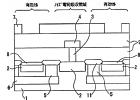
[图2]



[23]



[図4]



【図5】

